

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

高電圧パルス発生回路

発明の背景

発明の分野

【0001】

本発明は、半導体スイッチを用いて極めて幅が狭い高電圧・大電流のパルスを発生させる高電圧パルス発生回路に関するものである。

関連技術の説明

【0002】

例えば、プラズマを発生させるために急峻に立上がり、かつ、数kVから数十kVの高電圧で極めて幅が狭い（50ナノ秒までの要求がある）パルスを生成して負荷である反応器と称する放電ギャップで放電させる必要がある。

【0003】

図1は従来の高電圧パルス発生回路の基本的な概念を示す図で、出力すべき高電圧パルスの波高値に等しい高電圧を有する直流電源1は、充電抵抗2を通して、パルス・エネルギーを供給するキャパシタ3に接続されており、このキャパシタ3は、スイッチ4を経て負荷（放電部分）5に接続されている。キャパシタ3が充電された後、スイッチ4がオンとなると、キャパシタ3から負荷へエネルギーが移行されるように構成されている。

【0004】

スイッチ4のオンによりキャパシタ3より流れる放電電流の経路に存在するインダクタンスはインダクタ6としてまとめて示してある。負荷5は放電ギャップよりなるが、一般的に容量性であり、便宜的に放電ギャップとは別に、このキャパシティ要素をキャパシタ7として放電ギャップと並列に接続して表す。スイッチ4のオンによりこのキャパシタ7を充電する電流が流れ、この電流が大きく、かつ、急峻に立上がるほど出力電圧であるこのキャパシタ7間に現れる電圧の立ち上りも急峻となり、好ましいパルスの発生が行なわれる。しかし、実際の回路においてはスイッチ4にはスイッティング時間があり、理想的に瞬時に導通状態とならないこと、および回路に少なからず存在するインダクタンス6により、出力電圧の立ち上りが遅くなり、急峻、かつ幅の狭いパルスの発生には限界がある。

【0005】

これを解決する手段として従来使用されている一例として可飽和鉄心を用いた磁気圧縮回路があり、これを図2に示す。図2に示す素子において、図1に示す素子と同様の役割をするものには、図1で用いたのと同一記号で示し、その説明は省略する。スイッチ4と負荷5との間に可飽和リアクトル8-1、8-2および8-3を直列に接続し、これら可飽和リアクトルの接続点と直流電源1の負端子との間にキャパシタ3-2および3-3を接続し、さらに負荷5と並列に可飽和リアクトル8を接続したものである。

【0006】

可飽和リアクトルは、飽和するまではインダクタンスが非常に大きく、電圧時間積が所定の値に達すると使用している鉄心が飽和し、急激に低インダクタンスとなるものである。詳細な説明は省略するが、飽和時のインダクタンスを可飽和リアクトル8-1、8-2、8-3、8の順で小さくなるように設定し、また、キャパシタ3-1、3-2、3-3の容量を同じに設定する。スイッチ4を閉じた後、時刻 t_0 において可飽和リアクトル8-1が飽和した後にキャパシタ3-2、3-3および7間にそれぞれ現れる電圧パルス v_1 、 v_2 、 v_3 は、図3に示すように時間軸上で順次に圧縮される。すなわち、キャパシタ3-2間に現れる電圧パルス v_1 は時刻 t_0 から上昇し始め、時間 T_1 が経過したときにピークとなり、この時に可飽和リアクトル8-2が飽和するようにセットしておけば、この時からキャパシタ3-3間に現れる電圧パルス v_2 が上昇し始め、時間 T_1 よりも短い時間 T_2 後にピークに達し、この時に可飽和リアクトル8-3が飽和するようにセットしておけば、この時からキャパシタ7間に現れる電圧パルス v_3 が上昇し始め、時間 T_2 よりも短い時間 T_3 後にピークに達する。このようにして、負荷5間に所望の急峻で幅の狭い高電圧パルス v_3 を得ることができる。

【0007】

図2に示すように可飽和リアクトルを用いた従来の高電圧パルス発生回路は構成が複雑で、かつ、使用する全部品に高電圧が印加されるために、特殊な部品を必要としたり、絶縁距離を大きく取る必要があり、また、直流電源1は高電圧を出力するものが必要とされる等のこともあり装置が大型化および高コスト化する

不具合があった。

【0008】

また、従来高電圧パルス発生回路においては、スイッチ4には真空管の一種であるサイラトロンが使用されてきたが、スイッチング速度が非常に速く、高電圧で使用できるため1個のスイッチで良く、したがってスイッチ自身のインダクタンスが小さい利点を有するものの、次に述べるような問題がある。

- (1) 高い繰返し周波数での動作ができない。
- (2) 自己ターンオフが不可能であるため回路構成に制約がある。
- (3) 寿命が短く、メンテナンスが面倒であり、コストが嵩む。
- (4) ヒ・タ回路やガスコントロールが必要であり、構成が複雑である。
- (5) ジッタやミス点弧による動作不良がある。

【0009】

一方、近年半導体スイッチがパワーエレクトロニクスとともに発展してきており、高電圧・大電流で高速のターンオン・ターンオフ・スイッチングが可能なものが出現しつつある。しかしながら、サイラトロンに直接置換えるには耐電圧が大きく不足しているので、多数の半導体スイッチを直列に接続して1つのスイッチとし、各スイッチに回路電圧を分担するようにせざるを得ない。しかし、直列接続された多数の半導体スイッチを精度良く同時にターンオンさせるためには、特別に配慮されたゲート駆動回路を必要とし、かつ、ゲート駆動回路相互間にも高電圧が印加されるため、ゲート電源およびゲート制御信号も互いに絶縁されたものを用意しなければならず、従来のサイラトロンを使用していた回路で単にサイラトロンを多数の半導体スイッチの直列回路に置換えただけでは余り利点が無い場合が多い。

【0010】

上述したように従来の高電圧パルス発生回路においては、高電圧の直流電源を必要とし、回路部品の全てに高電圧が印加されると共に、スイッチ素子のスイッチング速度や回路のインダクタンスにより幅の狭いパルスを直接出力できないため磁気圧縮回路を必要とするので、装置が大型となり、コストも高くなっていた。

発明の概要

【0011】

本発明の目的は従来の高電圧パルス発生回路では弊害となっていたインダクタ
ンスを有効に利用して、急峻で幅の狭い高電圧パルスを、磁気圧縮回路などを用
いずに直接出力できる簡単な構成で低コストの高電圧パルス発生回路を提供しよ
うとするものである。

【0012】

本発明の他の目的は、スイッチ素子として、かなりの低電圧でも許容できる直
流電源で動作し、ターンオフ可能な半導体スイッチを用いて、急峻で幅の狭い高
電圧パルスを出力できる高電圧パルス発生回路を提供しようとするものである。

【0013】

本発明による極幅狭高電圧パルス発生回路は、

第1および第2の出力端子を有する直流電源と、

一端がこの直流電源の第1の出力端子に接続された第1のスイッチと、

この第1のスイッチの他端と前記直流電源の第2の出力端子との間に接続され
たフリーホィールダイオードを含む分岐配線と、

このフリーホィールダイオードと並列に接続されたインダクタおよび第2のス
イッチより成る直列回路と、

を具え、前記第1および第2のスイッチをオンとして前記インダクタに磁気エネ
ルギーを蓄えた後に、第1および第2のスイッチをターンオフして、前記インダ
クタに蓄えたエネルギーを、前記第2のスイッチの両端に接続された負荷へ転流
するように構成したものである。

【0014】

このような本発明による高電圧パルス発生回路においては、前記第1および第
2のスイッチを半導体スイッチで構成することができるが、この場合には第1お
よび第2の半導体スイッチを介して低電圧の直流電源電圧をインダクタに印加し、
電流を立上げてインダクタに所要の磁気エネルギーを蓄えた後に、第1および第
2の半導体スイッチをターンオフさせることにより、この磁気エネルギーを低イ
ンダクタンス回路の負荷キャパシタに転流し、これを急速に充電させることで急
峻で高電圧の幅狭のパルスを発生させることができる。

【0015】

本発明による高電圧パルス発生回路の好適な実施例においては、前記第1のスイッチを低耐電圧の半導体スイッチで構成し、前記第2のスイッチを出力パルス電圧の大きさに応じて決められる個数の高耐電圧の半導体スイッチを直列接続した半導体スイッチ直列回路で構成し、この半導体スイッチ直列回路の半導体スイッチの個数に等しい鉄心を設け、これらの鉄心を貫通する1次巻線を前記フリー・ホィールダイオードと直列に接続し、前記半導体スイッチ直列回路の各半導体スイッチのゲートおよびカソード端子に接続された2次巻線を前記鉄心にそれぞれ通す。この場合、前記第2のスイッチを構成する半導体スイッチ直列回路の各半導体スイッチを絶縁誘導サイリスタで構成するのが特に好適であるが、絶縁ゲートバイポーラトランジスタ（IGBT）などのターンオフ可能な他の半導体スイッチで構成することもできる。

【0016】

また本発明による高電圧パルス発生回路においては、前記第2のスイッチをターンオフし、負荷へエネルギーを開放した後に第2のスイッチを再度、極短時間ターンオンさせるように構成するのが好適である。また、前記第1および第2のスイッチをほぼ同時にターンオフするように構成したり、異なるタイミングでターンオフするように構成したりすることができる。

図面の簡単な説明

図1は、従来の高電圧パルス発生回路の基本的な構成を示す回路図；

図2は、磁気圧縮回路を有する従来の高電圧パルス発生回路の構成を示す回路図；

図3は、図2に示す従来の高電圧パルス発生回路の動作を説明する波形図；

図4は、本発明による高電圧パルス発生回路の基本的な構成を有する第1の実施例を示す回路図；

図5A～5Hは、図4に示す本発明の高電圧パルス発生回路の動作を説明するための波形図；

図6は、本発明による高電圧パルス発生回路の第2の実施例を示す回路図；

図7は、本発明による高電圧パルス発生回路の第3の実施例を示す回路図；

00384655-061904

図 8 は、本発明による高電圧パルス発生回路の第 4 の実施例を示す回路図；そして

図 9 は、本発明による高電圧パルス発生回路の第 5 の実施例を示す回路図である。

好適実施例の説明

【0017】

図 4 は、本発明による高電圧パルス発生回路の第 1 の実施例を示すものであるが、これは本発明の基本的な構成を示すものである。発生すべき出力高電圧パルスの電圧波高値に全く関係無く選択することができる低圧の直流電源 11 の正出力端子を、オン・オフ可能な低耐電圧の第 1 のスイッチ 12、磁気エネルギー・蓄積用インダクタ 16 およびオン・オフ可能な高耐電圧の第 2 のスイッチ 14 の直列回路を経て直流電源 11 の負出力端子に接続する。オン・オフ可能な第 1 のスイッチ 12 は、インダクタ 16 に対して磁気エネルギーの供給および停止を行うものであり、一般に低耐電圧のもので構成することができる。一方、オン・オフ可能な第 2 のスイッチ 14 は、インダクタ 16 に対して磁気エネルギーの供給および開放を行うものであり、出力高電圧パルスの波高電圧が印加されるため、高耐電圧スイッチで構成する。

【0018】

さらに、前記第 1 のスイッチ 12 とインダクタ 16 との接続点と、前記直流電源 11 の負出力端子との間には、フリー・ホィール・ダイオード 13 を含む分歧配線を接続する。このフリー・ホィール・ダイオード 13 には、出力高電圧パルスの波高電圧が印加されないので低耐電圧のもので良い。第 2 のスイッチ 14 と並列に負荷 15、例えばプラズマ発生用の反応器に設けられた放電ギャップを接続する。図 4 においても、この容量性負荷 15 のキャパシタンスを表すキャパシタ 17 を負荷と並列に接続して示す。

【0019】

次に、図 4 に示した本発明による高電圧パルス発生回路の動作を図 5 を参照して説明する。図 5 A は第 1 のスイッチ 12 のオン・オフ動作、図 5 B は第 2 のスイッチ 14 のオン・オフ動作、図 5 C は第 1 のスイッチ 12 を流れる電流 i_{sw} 、図

図 5 D はインダクタ 16 を流れる電流 i_L 、図 5 E は第 2 のスイッチ 14 を流れる電流 i_{sw_2} 、図 5 F はフリー・ホィールダイオード 13 を流れる電流 i_D 、図 5 G はキャパシタ 17 を流れる共振電流 i_C 、図 5 H はキャパシタ 17 間の電圧、すなわち出力高電圧パルス v_C をそれぞれ示すものである。

【0020】

今、時刻 t_0 で第 1 および第 2 のスイッチ 12 および 14 をターンオンさせるものとするが、第 2 のスイッチ 14 はこれ以前より導通状態であっても良い。これにより磁気エネルギー蓄積用インダクタ 16 (インダクタンスを L とする) には低圧の直流電源 11 の電圧 E が印加され、磁気エネルギー蓄積用インダクタ 16 の電流 i_L は E/L の勾配で直線的に増加して行く (図 5 C)。つまり、磁気エネルギー蓄積用インダクタ 16 に磁気エネルギーが蓄積されて行く。図 5 H に示す第 1 のモード I では、この電流 i_L はスイッチ 12 の電流 i_{sw_1} およびスイッチ 14 の電流 i_{sw_2} と同じである。

【0021】

磁気エネルギー蓄積用インダクタ 16 を流れる電流 i_L が所定の電流値 I_p に達した時刻 t_1 において第 1 および第 2 のスイッチ 12 および 14 をターンオフさせる (図 5 A, B)。この時、両スイッチのターンオフは必ずしも同時である必要はなく、どちらかが先にターンオフしても差し支えないが、ここでは説明の便宜上同時にターンオフしたものとして説明する。第 1 および第 2 のスイッチ 12 および 14 のターンオフにより開始される第 2 のモード II では、磁気エネルギー蓄積用インダクタ 16 の電流はフリー・ホィールダイオード 13 を含む分岐回路および負荷 15 (キャパシタ 17) へそれぞれ転流する。すなわち、第 1 のモード I の間に磁気エネルギー蓄積用インダクタ 16 に蓄えられた磁気エネルギー ($LI_p^2/2$) によりインダクタ 16 → キャパシタ 17 ・ フリー・ホィールダイオード 13 のループで共振動作を開始する。

【0022】

共振電流 i は、

$$i = I_p \cos \omega t \quad (1)$$

で与えられ、キャパシタ 17 の電圧 v_C は、

$$v_C = \frac{I_p}{\omega C} \sin \omega t = V_p \sin \omega t \quad (2)$$

ここで、

$$\omega = \frac{1}{\sqrt{LC}} = \frac{\pi}{2T_1} \quad (3)$$

で与えられる。通常、出力パルスの波形は負荷 15 に応じて要求されるものである。つまり負荷 15 に印加される出力電圧 v_C のピーク値 V_p （これが放電開始電圧となるのが望ましい）および時刻 t_1 からピークまで達する時間 T_1 （第 2 の動作モード II の期間）は与えられ、キャパシタ 17 のキャパシタンス C も負荷 15 で決まるものである。また、直流電源 11 の出力電圧 E も自由に選べるのでシステムに合った電圧 E として決めることができる。

【0023】

したがって、上述した式 (1) ~ 式 (3) より L および I_p はそれぞれ次式 (4)、式 (5) で求められる。

$$L = \frac{1}{C} \left[\frac{2T_1}{\pi} \right]^2 \quad (4)$$

$$I_p = \frac{\pi C V_p}{2T_1} \quad (5)$$

また、電流 I_p を磁気エネルギー蓄積用インダクタ 16 に流すためには第 1 および第 2 のスイッチ 12 および 14 が同時に導通している時間 T_0 を、

$$T_0 = \frac{LI_p}{E} = \frac{2V_p T_1}{\pi E} \quad (6)$$

となるようすれば所望の極めて幅の狭い高電圧パルスを出力できることが分かる。つまり、第 1 および第 2 のスイッチ 12 および 14 が同時に導通する時間 T_0 を制御することにより、出力電圧パルスの立ち上がり部分の幅 T_1 を変化させずに出力パルスの波高値を自由に変えることができる。

【0024】

出力電圧 v_C がピークとなる時刻 t_2 で負荷 15 で放電が開始されてモード III となるのが 1 番効率の良い動作となるが、放電は温度、湿度および気体の条件により

非常に複雑な現象となり、定量的な説明が困難なため詳細な説明は省略する。しかし、放電による出力電圧 v_c の電圧降下が緩慢であると放電物理現象的に不都合な場合が多く、時刻 t_9 で第 2 のスイッチ 14 をターンオンして出力電圧 v_c を強制的にゼロとするモード IV を設けるのが好適である。

【0025】

このような本発明による高電圧パルス発生回路ではターンオフ機能の無いサイラトロンに代えてターンオノ機能のある半導体スイッチを有効に使用し、極めて簡単な回路構成で、低価格で小型の低電圧直流電源から極めて幅の狭い高電圧パルスを発生させることができる。また、第 2 のスイッチ 14 を含む回路部分のインダクタンス成分は原理的に出力パルス発生に影響を与えないことも本発明の回路の特徴である。

【0026】

図 6 は、本発明による高電圧パルス発生回路の第 2 の実施例の詳細な構成を示すものである。図 6 において、図 4 と同符号のものは同じ動作をするものである。直流電源 21 に、インダクタ 22 およびキャパシタ 23 より成る直流平滑回路を接続し、直流電源の高周波インピーダンスを充分に低くし、パルス電流を円滑に供給できるようにする。図 4 の第 1 のスイッチ 12 として、本例ではパワー MOSFET 24 を設ける。このパワー MOSFET 24 は、前述のように低耐電圧のもので良く、これに流れる電流のピーク値 I_p の大きさに応じて複数のパワー MOSFET を並列接続したもので構成しても良い。図 4 の第 2 のスイッチ 14 として、直列接続した複数の静電誘導サイリスタ 25-1～25-4 を設ける。これら複数の静電誘導サイリスタ 25-1～25-4 の全体を符号 25 で示す。直列した複数の静電誘導サイリスタ 25-1～25-4 の個数は、出力パルスの波高値 V_p と各静電誘導サイリスタの耐電圧に応じて決り、本例では 4 個の静電誘導サイリスタ 25-1～25-4 を設けている。

【0027】

前述したように、複数の可制御半導体スイッチ、本例では 4 個の静電誘導サイリスタ 25-1～25-4 を直列接続した場合、各半導体スイッチにそれぞれ独立したゲート駆動回路を必要とし、各ゲート駆動回路間には高電圧（最大で V_p ）が印加さ

れるためゲート駆動回路に与える電源電圧および制御信号とともに相互間で高耐圧絶縁を必要とし、装置の大型化、高コスト化および信頼性の低下を招くことになる。また、各半導体スイッチに均等に電圧が分圧されるようにするため、急峻に各半導体スイッチをターンオンおよびターンオフさせる必要があり、各半導体スイッチに加えるゲート信号を非常に精度良く同時に加えねばならず高度な技術が要求される。

【0028】

本例ではこのような課題を解決するために、個々に動作するゲート駆動回路を設けない方法を取り入れている。すなわち、本実施例では静電誘導サイリスタ 25.1～25.4 の個数に等しい個数の鉄心 26.1～26.4 を設け、フリーホィールダイオード 13 を含む分岐配線より成る 1 次巻線 27 を鉄心 26.1～26.4 に貫通させると共に、各静電誘導サイリスタ 25.1～25.4 のゲートーカソード間に接続された 2 次巻線 28.1～28.4 をそれぞれ鉄心 26.1～26.4 に貫通させる。このようにして 1 ターンの 1 次巻線 27 を共通に設けると共に 1 ターンの 2 次巻線 28.1～28.4 を個別に設ける。

【0029】

次に上述した第 2 の実施例の動作を図 5 を参照して説明する。時刻 t_0 でパワー MOSFET24 がターンオンすると、直流平滑回路のキャバシタ 23 から、パワー MOSFET24 および鉄心 26.1～26.4 を経てキャバシタ 29 および抵抗 30 の並列回路に電流が流れる。ここでキャバシタ 29 はスピードアップキャバシタの役割をして、パワー MOSFET24 のターンオン直後に大きな電流が流れるように作用し、抵抗 30 は継続的な電流を流すように作用する。1 対 1 に結合された各鉄心 26.1～26.4 の 2 次巻線 28.1～28.4 には 1 次巻線 27 を流れる電流による磁束を打消すように同じ量の電流が流れ、これが静電誘導サイリスタ 25.1～25.4 の各々のオンゲート電流となり、これらの静電誘導サイリスタを同時にターンオンさせることができる。このようにしてパワー MOSFET24 と静電誘導サイリスタ 25(25.1～25.4 をまとめたもの) が導通し、磁気エネルギー蓄積用インダクタ 16 に電流が流れ始める。その後の回路の動作は第 1 の実施例の場合と全く同じとなる。ここで、磁気エネルギー蓄積用インダクタ 16 の電流の立上がりは早くないので静電

誘導サイリスタ 25-1～25-4 のターンオンを急速に行う必要が無いため、必ずしもキャパシタ 29 を必要とせず、抵抗 30 のみを設けても良い。

【0030】

しかしながら、第2の半導体スイッチを構成する静電誘導サイリスタ 25 のターンオフの動作は、第1の実施例とは以下説明するように異なっている。磁気エネルギー蓄積用インダクタ 16 を流れる電流が I_p に達した時刻 t_1 で第1の半導体スイッチを構成するバリーMOSFET 24 をターンオフすると、磁気エネルギー蓄積用インダクタ 16 に流れていた電流はフリーホールダイオード 18 を含む分岐回路に転流する。この電流は鉄心 26-1～26-4 を貫通する1次巻線 27 に流れ、これによる磁束を打消すように2次巻線 28-1～28-4 側には同じ電流が流れるが、この電流が各々の静電誘導サイリスタ 25-1～25-4 のゲートターンオフ電流となり、これらの静電誘導サイリスタ 25-1～25-4 を同時にターンオフさせる。ここで、第2の半導体スイッチとして使用する静電誘導サイリスタ 25-1～25-4 は比較的高電圧耐量があり、かつ高速でターンオンおよびターンオフが可能なスイッチデバイスである。特に、IGBTのような箇圧駆動デバイスではなく、電流駆動デバイスであり、ターンオン、ターンオフゲート電流が大きいほどターンオン、ターンオフ速度が速くなり、パルスパワー応用のように高速度が要求される回路に使用するのに最適であり、さらにターンオフ利得（＝ターンオフすべきアノード電流／ゲートターンオフ電流）が小さいほど、半導体スイッチのターンオフ時のストレージ時間を短縮し、フォール時間も短縮できるため、第2の実施例のようにアノード電流がゲートターンオフ電流と等しく、ターンオフ利得が1となる場合には特に最適である。

【0031】

上述した第2の実施例においては第2の半導体スイッチを構成する直列接続された複数の静電誘導サイリスタ 25-1～25-4 の各々のゲートターンオンおよびターンオフ電流ともに全く同一のものが流れ、かつ、大きな電流を流すことが可能であるため、各静電誘導サイリスタ 25-1～25-4 を時間のバラツキのない同時高速ターンオン、ターンオフを信頼性良く行うことをゲート駆動用電源および独立したゲート信号を必要とせずに実現できる。

【0032】

また、第1および第2の実施例で負荷15が放電を開始した後の適切な時刻 t_9 において再度第2の半導体スイッチ14;25をターンオンさせ、キャパシタ17を急放電させることもできる。これは負荷15の放電現象等によりキャパシタ17が放電するが、放電インピーダンスが高く放電によるキャパシタ17の電圧の低下が緩慢になり、放電の物理的現象に好ましくない影響を与えるような場合には有効な手段となる。このように第2の半導体スイッチ14;25を再度ターンオンさせる方法の一つとして、図5Bにおいて破線で示すように第2の半導体スイッチを短時間の間だけターンオンさせることができると、出力パルス電圧 v_C を図5Hにおいて破線で示すように直ちに零電圧とすることができる。

【0033】

第2の実施例では第1の半導体スイッチとしてパワーMOSFET24を用い、第2の半導体スイッチとして静電誘導サイリスタ25-1～25-4を用いたが、これに限定されるものではなく、他の形式のトランジスタやIGBT（第2の半導体スイッチとして使用する場合には、電圧駆動素子でかつゲートーエミッタ間電圧に制限があるためこれに対する考慮が必要となる）などの半導体スイッチを用いることもできる。また、第2の実施例では第2の半導体スイッチを4個の静電誘導サイリスタ25-1～25-4の直列接続回路で構成したが、この個数は出力パルスの波高値によって決るものであり、必要に応じて変るものであることおよび負荷について容電性の放電回路にて説明したがこれに限定されるものではないことは言うまでもない。さらに、第1のスイッチ12および磁気エネルギー蓄積用インダクタ16について電源の正出力端子に接続した場合で説明したが、図7に示すように双方とも電源の負出力端子に接続しても同様の作用をすることは言うまでもない。或いはまた、第1のスイッチ12および磁気エネルギー蓄積用インダクタ16の何れか一方を電源の負出力端子に接続することもできる。

【0034】

図8は、第1のスイッチ12を直流電源11の正出力端子に接続し、磁気エネルギー蓄積用インダクタ16を直流電源11の負出力端子に接続した本発明による高

電圧パルス発生回路の第4の実施例を示すものである。

【0035】

図9は、第1のスイッチ12を直流電源11の負出力端子に接続し、磁気エネルギー蓄積用インダクタ16を直流電源11の正出力端子に接続した本発明による高電圧パルス発生回路の第5の実施例を示すものである。

【0036】

上述した本発明の第2～第5の実施例によれば、第1および第2のスイッチに半導体スイッチを用いて、振幅が数kVから数十kVで、パルス幅が数十～数百ナノ秒の高電圧パルスを発生させることができる。

ク レ 一 ム

1. 第1および第2の出力端子を有する直流電源と、
端がこの直流電源の第1の出力端子に接続された第1のスイッチと、
この第1のスイッチの他端と前記直流電源の第2の出力端子との間に接続され
たフリー・ホィール・ダイオードを含む分岐配線と、
このフリー・ホィール・ダイオードと並列に接続されたインダクタおよび第2のス
イッチより成る直列回路と、
を具え、前記第1および第2のスイッチをオンとして前記インダクタに磁気エネ
ルギーを蓄えた後に、第1および第2のスイッチをターンオフして、前記インダ
クタに蓄えたエネルギーを、前記第2のスイッチの両端に接続された負荷へ転流
するように構成した高電圧パルス発生回路。
2. 前記第1および第2のスイッチを少なくともターンオフ可能な半導体スイッチで構成したクレーム1に記載の高電圧パルス発生回路。
3. 前記第1および第2のスイッチをターンオンおよびターンオフ可能な半導体スイッチで構成したクレーム2に記載の高電圧パルス発生回路。
4. 前記第1のスイッチを低耐電圧の半導体スイッチで構成し、前記第2のスイッチを出力パルス電圧の大きさに応じて決められる個数の高耐電圧の半導体スイッチを直列接続した半導体スイッチ直列回路で構成し、この半導体スイッチ直列回路の半導体スイッチの個数に等しい鉄心を設け、これらの鉄心を貫通する1次巻線を前記ソリーホィール・ダイオードと直列に接続し、前記半導体スイッチ直列回路の各半導体スイッチのゲートおよびカソード端子に接続された2次巻線を前記鉄心にそれぞれ通したクレーム3に記載の高電圧パルス発生回路。
5. 前記第2のスイッチを構成する半導体スイッチ直列回路の各半導体スイッチを静電誘導サイリスタで構成した諸求項1に記載の高電圧パルス発生回路。
6. 前記1次巻線および2次巻線を、前記鉄心にそれぞれ1ターンだけ巻回したクレーム5に記載の高電圧パルス発生回路。
7. 前記第1のスイッチを構成する低耐電圧の半導体スイッチをパワーMOSFETで構成したクレーム5に記載の高電圧パルス発生回路。

8. 前記第2のスイッチをターンオフし、負荷へエネルギーを開放した後に第2のスイッチを再度ターンオンさせるように構成したクレーム1に記載の高電圧パルス発生回路。

9. 前記第2のスイッチをターンオフし、負荷へエネルギーを開放した後に第2のスイッチを再度短時間ターンオンさせるように構成したクレーム8に記載の高電圧パルス発生回路。

10. 前記第1および第2のスイッチをほぼ同時にターンオフするよう構成したクレーム1に記載の高電圧パルス発生回路。

11. 前記第1のスイッチをターンオフした直後に、前記第2のスイッチをターンオフするよう構成したクレーム1に記載の高電圧パルス発生回路。

12. 前記フリーホールダイオードと並列に、キャパシタおよび抵抗の並列回路を接続したクレーム1に記載の高電圧パルス発生回路。

13. 前記フリーホールダイオードと並列に、抵抗を接続したクレーム1に記載の高電圧パルス発生回路。

14. 前記負荷を、プラズマ発生用反応器に設けられた放電ギャップとしたクレーム1に記載の高電圧パルス発生回路。

要 約

低電圧の直流電源の一方の出力端子を、低耐圧の第1のスイッチ、磁気エネルギー蓄積用のインダクタおよび高耐圧の第2のスイッチより成る直列回路を経て直流電源の他方の出力端子に接続し、前記第1のスイッチとインダクタとの接続点と前記直流電源の他方の出力端子との間にフリー・ホィール・ダイオードを含む分歧配線を接続し、前記第1および第2のスイッチをオンとして前記インダクタに磁気エネルギーを蓄えた後に、第1および第2のスイッチをターンオフして、前記インダクタに蓄えたエネルギーを、前記第2のスイッチの両端に接続された容量性負荷へ転流し、これを急速に充電させて、磁気圧縮回路などの複雑で高価な手段を用いることなく、極めて幅が狭い高電圧パルスを発生できる構成が簡単で、価格が安価な高電圧パルス発生回路。